

Requested Patent: JP60136376A
Title: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF ;
Abstracted Patent: JP60136376 ;
Publication Date: 1985-07-19 ;
Inventor(s): KANEKO HIROKO; others: 01 ;
Applicant(s): HITACHI SEISAKUSHO KK ;
Application Number: JP19830243810 19831226 ;
Priority Number(s): ;
IPC Classification: H01L29/78 ;
Equivalents: JP1847076C, JP5060265B ;

ABSTRACT:

PURPOSE:To prevent mutual conductance among elements from reduction and improve the performance characteristics thereof in an MISFET of an LDD structure by a method wherein source/drain regions are made of a first, second, third layers diffused with different density of impurities.

CONSTITUTION:A field insulating film 4 and thin oxide film 5 are selectively formed on the surface of a substrate. A polycrystalline Si layer 6 to act as gate is given treatment to be ready to serve as a conductive layer and is subjected to etching for the oxidation of its surface. An N type impurity, typically P, is injected into the oxidized surface. Next, an SiO₂ film is deposited to cover the entire surface. The SiO₂ film is exposed to anisotropic etching for the formation of a side wall 8, composed of retained SiO₂ film, on the sides of the gate 6. In a following process for the formation of an N type impurity layer 2, the side wall 8 and gate electrode 6 serve as a mask for the introduction of an N type impurity into the Si substrate. The source/drain layers are constituted of three impurity-diffused layers, that is, an N type layer 2, N type layer 12, and an N type layer 3.

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)7月19日

H 01 L 29/78

8422-5F

審査請求 未請求 発明の数 2 (全6頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑮ 特 願 昭58-243810

⑯ 出 願 昭58(1983)12月26日

⑰ 発 明 者 兼 子 宏 子 小平市上水本町1450番地 株式会社日立製作所デバス開発
センタ内⑱ 発 明 者 小 柳 光 正 小平市上水本町1450番地 株式会社日立製作所デバス開発
センタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 半導体装置及びその製造方法

特許請求の範囲

1. 不純物濃度の異なる等1の不純物層、第2の不純物層、第3の不純物層の3重の不純物層からソース・ドレイン層がなっていることを特徴とする半導体装置。

2. 第1の不純物層、第2の不純物層、第3の不純物層は、半導体基板とは逆導電型であることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 不純物層の濃度は、第1の不純物層、第2の不純物層、第3の不純物層の順で増すことを特徴とする特許請求の範囲第1項あるいは第2項記載の半導体装置。

4. 第2の不純物層は、第3の不純物層を被うように存在することを特徴とする特許請求の範囲第1項、第2項あるいは、第3項記載半導体装置。

5. 第1の不純物層の1部はゲート端部において、第2の不純物層の外側まで延在していることを特

徴とする特許請求の範囲第1項、第2項、第3項あるいは第4項記載の半導体装置。

6. 第1導電型の半導体基板上に、フィールド絶縁膜、ゲート絶縁膜及びゲートとなるポリシリコン層を形成したのち、ポリシリコン層をマスクとして半導体基板と逆導電型の第2導電型の第1の不純物を導入する工程と、ゲートの側面にサイドウォールを形成する工程と、前記サイドウォールをマスクとして第2導電型の第2の不純物を導入する工程と、導入した第1の不純物から第1不純物層を形成する工程と、導入した第2の不純物から第2不純物層を形成する工程と、サイドウォールをマスクとして第2導電型の第3の不純物を導入する工程と、導入した第3の不純物から第3の不純物層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

7. 第1の不純物は、隣であることを特徴とする特許請求の範囲第6項記載の半導体装置の製造方法。

8. 第2の不純物は、隣であることを特徴とする

特許請求の範囲第6項あるいは第7項記載の半導体装置の製造方法。

9. 第3の不純物は砒素であることを特徴とする特許請求の範囲第6項、第7項あるいは第8項記載の半導体装置の製造方法。

10. 不純物の量は、第3の不純物が最も多く、次いで、第2の不純物、第1の不純物の順であることを特徴とする特許請求の範囲、第6項、第7項、第8項あるいは第8項記載の半導体装置の製造方法。

発明の詳細な説明

〔技術分野〕

本発明は、半導体装置の構造にかかわり、特にLDD (Light Doped Drain) 構造の絶縁ゲート型電界効果トランジスタ (以下MISFETと称する) に適用して有効な技術に関するものである。

〔背景技術〕

MISFETを有する半導体装置においては、基板と逆導電型を有するソース・ドレイン層の不

電極方向に δ だけ長く突出して形成されている。このため、ゲート端部のソース・ドレイン層の電界集中を緩げることが可能である。従って、不純物層2のみでソース・ドレイン層を形成した場合に比較し、ホットキャリアの発生を十分防止することができる。

しかしながら、前記構造のソース・ドレイン層は、以下の重大な欠点を有することを本発明者は発見した。すなわち、低濃度不純物層3の存在が、ゲート側へ δ だけ突出しているため、 δ の領域分だけ高抵抗となり、MISFETの相互コンダクタンス (g_m) が劣化する。このため素子の動作速度に大きな影響を及ぼすという問題点がある。

〔発明の目的〕

本発明の目的は、LDD構造を有するMISFETにおいて、相互コンダクタンス (g_m) の低下を防止し、素子特性の向上を図る技術を提供することにある。

本発明の他の目的は、ホットキャリアを防止したMISFETの構造を有する技術を提供するこ

とにある。純物濃度勾配がゲート電極端部において急峻になり、この部分に電界の集中が起きる。これは素子特性を悪化させるホットキャリア発生の原因になっている。このホットキャリア発生を防止するための技術が1982 Supp VLSI Technol., Digest of Technical Papers, 第42頁に記載されている。これは、従来のソース・ドレイン層の他にソース・ドレイン層より低濃度の不純物層を比較的浅いゲート端部表面付近に形成するものである (これを以下LDD (Light Doped Drain) 構造と称する)。ゲート端部に低濃度領域を形成すれば、電界の集中が少なくなりホットキャリアの発生は抑制される。かかる技術を具体的に示せば、第1図の如きものである。

第1図においては、半導体基板1上のフィールド絶縁膜4で区画される領域にゲート電極6、及び、ソース・ドレイン層が形成されている。ソース・ドレイン層は、 N^+ 不純物層2、及び N^- 不純物層3の2層により形成されている。かかる構造の技術においては、低濃度不純物層3がゲート

とにある。

本発明の他の目的は、MISFETの短チャネル効果を防止する技術を提供することにある。

本発明の他の目的は、素子の微細化を図るために有効な技術を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔発明の概要〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、ソース・ドレイン領域を不純物濃度の異なる第1の不純物層、第2の不純物層、第3の不純物層の3層から形成し、ゲート電極の両端部の不純物濃度分布を緩やかにすることにより、高抵抗の低濃度不純物層の領域を小さくし、MISFETの相互コンダクタンス (g_m) を向上して、素子特性を向上させるものである。

〔実施例〕

本発明による一実施例を以下に説明する。

第2図は、本発明の一実施例を示すMISFETの断面図である。

P⁻型シリコン半導体基板1上には、各々のMISFETを分離する酸化シリコン(SiO₂)からなるフィールド絶縁膜4が形成され、前記フィールド絶縁膜で区画的に囲まれる活性領域には、MISFETQ₁が存在する。MISFETQ₁は、ポリシリコンからなるゲート6、及び基板1とゲート6とを絶縁するSiO₂からなるゲート絶縁膜5が形成されている。N型ソース・ドレイン領域は、2(N⁺層)、3(N⁻層)、12(N⁻層)の3層からなり、夫々、アルミニウム配線10とスルーホール14でオーミックコンタクトを取っている。又、ゲート6は、SiO₂膜7、及びSiO₂からなるサイドウォール8によって、被覆保護されている。9は層間絶縁膜10は、ファイナルパッシベーション膜である。

本発明においては、ソース・ドレイン層がN⁺型不純物層2、N⁻型不純物層12、N⁻型不純

物層3の3層によって形成されていることが特徴である。N⁻型不純物12は、N⁺型不純物層2をとり囲むように形成されており、又、N⁻型不純物層3はゲート電極端部で、N⁻型不純物層を突き出す型で基板表面近傍に形成されている。不純物層の濃度差は、

$$N^+ > N^- > N^{--}$$

である。第1図のものと異なるのはN⁻型不純物層12がN⁺型不純物層2、N⁻型不純物層3の間に形成されていることである。従って、ソース・ドレイン層の濃度分布はN⁻型不純物層3、N⁻型不純物層12、N⁺型不純物層2の順で増加する。第1図の如く4で示される長い低濃度領域4が本発明では存在しないため、高抵抗領域とならず、MISFETQ₁の相互コンダクタンス(g_m)が低下することはない。

本発明によるソース・ドレイン領域の不純物濃度分布をさらに詳しく説明すれば第8図におけるグラフ(ゲート端からのチャネル方向位置-不純物濃度分布グラフ)の如くである。実線で示され

る線は、本発明におけるMISFETQ₁のソース・ドレイン不純物濃度分布である。点線で示される線は、第1図で示されるLDD構造を有するMISFETのソース・ドレイン不純物濃度分布である。本発明におけるMISFETQ₁の分布はN⁻型不純物層12の介在により、点線で示されるLDD構造の曲線よりも、中央部でふくれ、全体として急峻な形状が少なくなるように形成されている。又、点線で示されるように、(a)領域のような低濃度領域が少なくなる。このため、濃度勾配に片寄りが無い適正な濃度分布が得られる。かつ、(a)領域のような高抵抗領域がほとんどなくなる。従って、相互コンダクタンス(g_m)の劣化がおさえられ、素子の動作速度の劣化もなくなる。

以下、本発明の製造方法を第3図から第7図を用いて説明する。

先ず、(100)面を有するP⁻導電型シリコン基板1を用意し、周知の技術を用いて基板表面に選択的にフィールド絶縁膜4を形成する。フィ

となる薄い酸化膜5を形成し、かつ、ゲートとなるフィールド絶縁膜4で区画される領域にゲート絶縁膜すべきポリシリコン層を導電化したのち、周知の技術を用いてエッチングし、その表面を酸化して、第3図の如く形成する。次いで、第2図に示されるN⁻型不純物層(第1の不純物層)3を形成するために、N型不純物、たとえば、リン(P)をゲート電極3をマスクとしてエネルギー約50 KeV、ドーズ量約1×10¹²/cm²程度で打ちこみ導入する。13の領域がN型不純物を導入した部分である。この場合、シリコン基板表面を保護するため、薄い酸化膜5を介してN型不純物の導入を行なう。

次に、厚さ4000Å程度のSiO₂膜を全面に堆積させたのち、前記SiO₂膜に異方性エッチングを施し、ゲート6の側面にSiO₂膜の残滓であるサイドウォール8を形成する。次に、ソース・ドレインを形成する領域に薄いSiO₂膜15を堆積させたのち、サイドウォール8及びゲート電極6をマスクとして第2図に示されるN⁻型不純物

層12を形成するために、N型不純物、たとえば磷(P)を打ち込みエネルギー約50KeV、ドーズ量 $1 \times 10^{14}/\text{cm}^2$ 程度の条件で基板内に導入する。第4図で示されるイオン打ち込み層13のうち、短い点線のがN⁻型不純物層12となるものである。サイドウォール8をマスクとしているためにN⁻型不純物層3を形成するために打ち込んだ不純物層(ゲート6まで到達している点線)より、狭い領域に分布している。以上のように不純物を導入したのち、導入した不純物を引きのばすために、拡散高温処理を行なう。このようにして形成されたものが第5図の如きものである。こののち、さらに、N⁺型不純物層2を形成するために、同じく、サイドウォール8及びゲート電極6をマスクとして、N型不純物をシリコン基板内に導入する。N⁺型不純物層2は、第2図に示す如く、N⁻型不純物層12の内側に存在し、かつ、より高濃度であるように形成しなければならない。従って、N⁻型不純物層12形成のための不純物よりも拡散係数が小さい性質を有するN型

不純物、たとえば砒素(As)を導入する。砒素は、打ち込みエネルギー約80KeV、ドーズ量 $5 \times 10^{15}/\text{cm}^2$ 程度の条件で打ち込み、これを高温処理で適宜拡散して、第6図の如く形成する。このようにすれば、ソース・ドレイン層はN⁺型不純物層2、N⁻型不純物層12、N⁻型不純物層3の3層によって形成されることになり、特に、ゲート端部においては、N⁻型層3、N⁻型層12、N⁺型層2の順に、序々に濃度が増すように形成される。従って、ゲート端部におけるホットキャリアの発生が著しく減少するとともに、高抵抗領域が少なくなるため、相互コンダクタンスの劣化が防げ、素子特性の向上が図れる。

以上のように形成したのち、層間絶縁膜9をリソリケートガラス(PSG)等で形成し、コンタクトホール14を第7図の如く形成する。こののち、周知の技術を用いてアルミニウム配線14、ファイナンスパッシベーション膜11を形成し、第2図の如く完成する。

(効果)

(1) 本発明においては、ソース・ドレイン層をN⁻型不純物層、N⁻型不純物層、N⁺型不純物層の3層から形成しており、ゲート端部の不純物濃度勾配が緩やかになり、電界集中が防げるため、ホットキャリアの発生を著しく少なくすることが可能である。

(2) 上記(1)と同様に不純物濃度勾配が緩やかであり、高抵抗領域が少ないため、MISFETの相互インダクタンス(g_m)の劣化が防止できる。従って、動作速度が向上する。

(3) ゲート側面に形成したサイドウォールを利用して、N⁻型不純物層、N⁺型不純物層を形成しているため、短チャネル効果(実際のゲート巾よりもチャネルが短くなる現象)を防止できる。

(4) 短チャネル効果が防止できるため、素子の微細化を実現できる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもな

い。たとえば、ゲート6はシリサイド、又は、金属であってもよく、さらに、A₂配線は他の金属であっても良い。又、層間絶縁膜やファイナンスパッシベーション膜はPSGの他SiO₂等も使用できる。

(利用分野)

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるMISFET半導体装置に適用した場合について説明したが、それに限定されるものでなく、たとえば、相補型MISFET、バイポーラ相補型MISFET等に適用できる。

図面の簡単な説明

第1図は、本発明の前提となったLDD構造を有するMISFETの断面図、

第2図は、本発明の実施例を示すMISFETの断面図、

第3図～第7図は、本発明によるMISFETの製造工程を示す断面図、

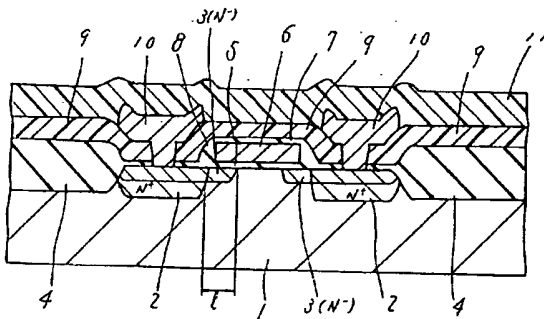
第8図は、ゲート端からのチャネル方向位置と

不純物濃度分布を示すグラフである。

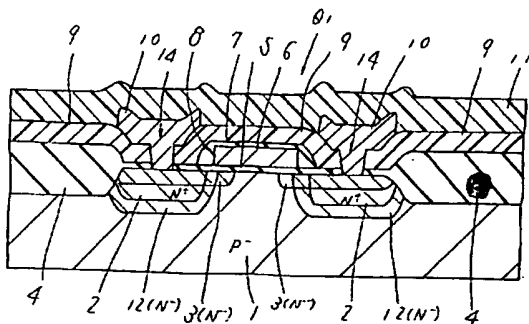
1…P⁻型半導体基板、2…N⁺型ソース・ドレイン層、3…N⁻型ソース・ドレイン層、4…フィールド絶縁膜(SiO₂)、5…ゲート絶縁膜(SiO₂)、6…ゲート絶縁膜(ポリシリコン)、7…ゲート保護のための酸化シリコン膜(SiO₂)、8…サイドウォール(SiO₂)、9…層間絶縁膜(PSG)、10…アルミニウム配線、11…ファイナルパッシベーション膜、12…N⁻型ソース・ドレイン層、13…ひ素打ち込み層、14…コンタクトホール、15…基板保護のための酸化シリコン膜(SiO₂)

代理人 弁理士 高橋 明夫

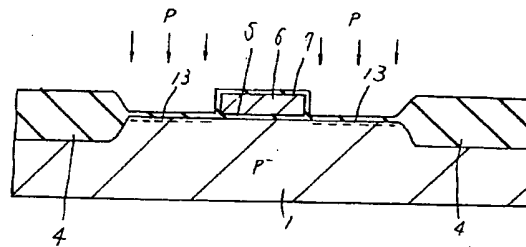
第 1 図



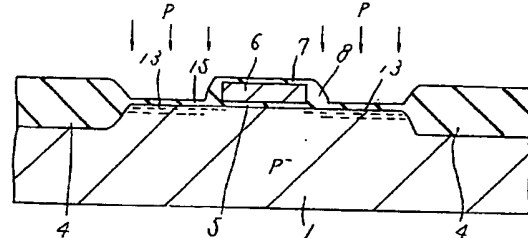
第 2 図



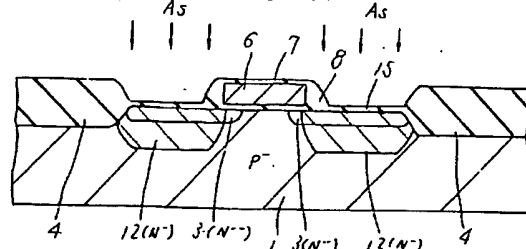
第 3 図



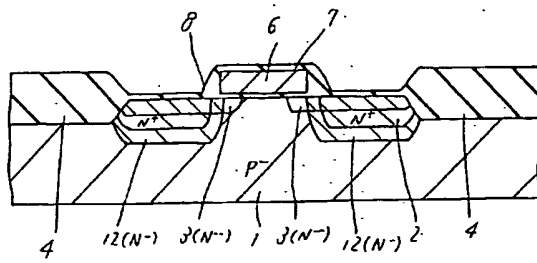
第 4 図



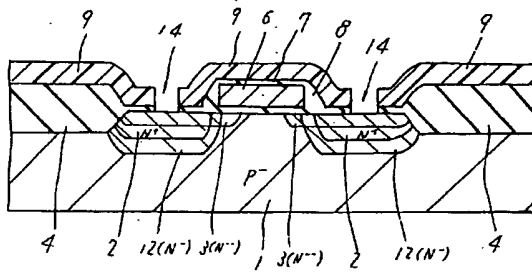
第 5 図



第 6 図



第 7 図



第 8 図

